



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59110280 A**(43) Date of publication of application: **26.06.84**

(51) Int. Cl.

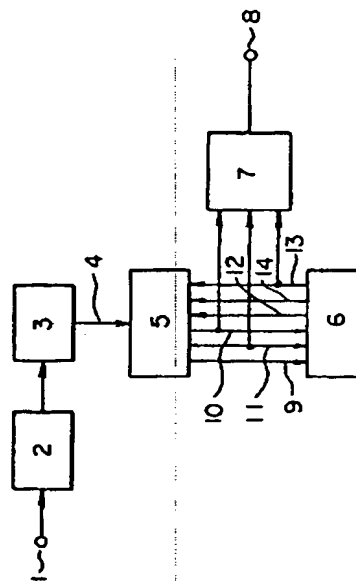
H04N 5/06
H04N 5/08
(21) Application number: **57219219**(22) Date of filing: **16.12.82**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **SUZUKI TAKAO**(54) **PROCESSING CIRCUIT OF HORIZONTAL SYNCHRONIZING SIGNAL**

COPYRIGHT: (C)1984,JPO&Japio

(57) Abstract:

PURPOSE: To eliminate the need for a capacitor and to realize semiconductor integration by detecting a horizontal synchronizing signal in a composite synchronizing signal through digital processing.

CONSTITUTION: The composite synchronizing signal is inputted to a noise eliminating circuit 2 through an input terminal 1 and a composite synchronizing signal after some of noises are removed is outputted to a trailing edge detecting circuit 3. The circuit 3 detects a trailing edge pulses of composite synchronizing signal and outputs to the circuit 5. The circuit 5 controls a counter 6, which outputs 1.05 signal to a horizontal synchronizing signal generating circuit 7 through a signal line 13. The circuit 7 inputs a trailing pulse in abnormal mode and a trailing pulse in normal mode respectively and a horizontal synchronizing signal with constant width is derived to a horizontal synchronizing signal output terminal 8. Consequently, the horizontal synchronizing signal is detected in the composite synchronizing signal through the digital processing.



(19) 発行国) 日本国特許庁 (J P)
(12) 公報種別) 特許公報 (B 2)
(11) 公告番号) 特 平 7 - 899653
(24) (44) 公告日) 平成 7 年 (1995) 9 月 27 日
(54) 発明の名称) 水平同期信号処理回路
(51) 国際特許分類第 6 版)

HOAN	5/06	2	5/44	2
【學問の數】	1			
【全頁數】	10			
(31) 出題番号	特題昭5.7-2.19.21.9			
(32) 出題日	昭和5.7年(1982)	12月16日		
(33) 出題番号	特題昭5.9-1.10.26.80			
(43) 公開日	昭和5.9年(1984)	2月26日		
(7) 番号	平5-2.7			
(71) (出題人)				
隱匿番号	1.9.9.9.9.9.9.9.9			
匿名又は名称	松下電器産業株式会社			
住所又は居所	大阪府門真市大字門真1006番地			
(72) (発明者)				
(氏名)	鈴木 貴雄			
住所又は居所	大阪府門真市大字門真1006番地			
(発明の名称)				
発明者	益男			
発明者	山田 小登			
発明者	山田 英行			
(発明者)	丸山 英行			
(56) 参考文献				
文獻	特開昭5.5-8.08.81.4 (J.P. A)			
文獻	特開昭5.4-3.95.81.9 (J.P. A)			
文獻	特公開5.2-4.7.9.6.8 (J.P. B2)			

[illegible][illegible]

【発明の詳細な説明】
（産業上の利用分野）
本発明は、例えばテレビジョン信号のような水平同期信号成分を含む複合同期信号からのノイズの除去及び水平同期信号の太損（ドロップアウト）の補償がなされる水平同期信号処理回路に関するものである。
（従来の技術）
従来の水平同期信号処理回路は、水平同期信号成分を含む複合同期信号から、水平同期信号成分を抽出し、抽出された水平同期信号成分を、水平同期信号成分の太損（ドロップアウト）の補償に用いる。この場合、水平同期信号成分の太損（ドロップアウト）の補償は、水平同期信号成分の太損（ドロップアウト）の補償に用いる。この場合、水平同期信号成分の太損（ドロップアウト）の補償は、水平同期信号成分の太損（ドロップアウト）の補償に用いる。

[illegible][illegible]

第1図は本発明の一実施例の全体の構成を示すブロック図で、1は入力端子、2はノイズ除去回路、3は立下りエッジ検出回路、4は立下りエッジ供給線、5はコントローラ

ル回路。6はカレンツタ。7は水平同期信号発生回路。8は水平同期信号出力端子である。先ず、同期信号を入力端子7を介してノイズ除去回路2は複合同期信号に含まれるノイズの一部を除去した上、そのノイズの一部を除去した複合同期信号を立下りエッジ検出回路3に出力する。

[illegible][illegible]

語り第7図(a)に示すような信号、即ちクロックパルスがクロックパルスの4周期の期間(11~12)に
 の始めの2周期の複合同同期信号の反転信号が「レベル」となり、次の2周期の期間(11~12)に
 レベルになる複合同同期信号の出力する全ての信号が「レベル」になったときに、AND
 回路20は、水平同期信号の立下り部を抽出して、立下りエッジパルスを立て、
 上りエッジパルスは後続第4に出力する。
 ここで、正常な水平同期信号成分(1)と、クロックパルスの周期において2周期以上のノイズ成分
 (1a)とを被検て示すような欠陥(1b)に出力したとき、信号成分(二)とを含む第3図(a)、
 複合同同期信号の水平同期信号成分(1)が入力したとき、AND回路20は、複合同同期信号のノイズ成分
 (1a)に示すような正常な立下りエッジパルス(1)の立下り部を抽出して、第3図
 (b)に示すような正常な立下りエッジパルスを立て、上りエッジパルスは後続第4に出力する。
 又、クロックパルスの周期において2周期未満の複合同同期信号のノイズ成分
 (1a)が入力したときには、4つのDフリップ・フロップ16,17,18及び19に
 送られ、「1」の信号が入力しないので、AND回路20は、複合同同期信号のノイズ成分
 (1a)の立下り部を立て、上りエッジパルスは後続第4に出力しない。即ち、クロックパルスの
 下周期において2周期未満の複合同同期信号のノイズ成分(1a)に示すように、立
 上りエッジパルスを立て、上りエッジパルスは後続第4に出力しない。
 更に、クロックパルスの周期において2周期以上の複合同同期信号のノイズ成分
 (1a)が入力したとき、4つのDフリップ・フロップ16,17,18及び19に

れぞれ「L」(「L」の信号が入力してしまつて、AND回路20は、水平同期信号の)「L」を立下りエッジを検出して、第3図(b)に示すように、立下りエッジ「S」を立下りエッジ付供給線4に出給してしまふ。即ち、クロックパルスの周期において2周未満の期間においては2つの以上の周期の複合同期信号の「L」を第2図に示した回路では除去されない。

更に、水平同期信号の周期において4周期以上の周期の複合同期信号の文組符号成分(三)に入力された「L」の入力と並みには、4つのDフリップフロップ6、7、8及び9でそれぞれ上から、「L」の信号が入れ込まないので、AND回路20は、第3図(a)に破線で示され、箇所には本来存在するはずの立下りエッジの文組符号成分(二)の立下りエッジ付供給線4に出給されてゐない。

第3図(b)の破線で示したような立下りエッジパルス(ホ)は、第4図(a)に供給し、第2図に示した回路は、クロックパルスの周期において2周期未満の周期の複合同期信号の「L」を供給の一手段であるクロック戻路5の具体例を示すもので、第4図において第1図の符号と同一の符号の部分とは同一部分を示す。

21及び37はON回路、31は4ビットカウンタ、22、23、24、25、26、27、28、29、32、33、35及び36はAND回路、24、27、30及び37はOR回路、カウンタ出力は、図2に示すように構成されたコントリール回路5は、立下りエッジ検出回路3から立下りエッジが水平同期信号成分(1)であるか、ノイズ信号成分(1)であるかの判定を行って、カウンタ6をリセットするためのリセット信号を出力すると共に、カウンタ6の出力信号に基づいて、大振幅信号成分(2)の立下りエッジパルスの欠損補償を行った上、水平同期信号発生信号を水平同期信号発生回路7に出力する。

次に、コントリール回路5の動作について具体的に説明する。

RSフリップフロップ21のリセット端子には、カウンタ6からの信号線12が接続されており、カウンタ6からの0.95H/Vリセット信号として入力する。又、RSフリップフロップ21のリセット端子には、カウンタ6からの信号線13が接続されており、カウンタ6からの0.05H/Vリセット信号として入力する。

として、本発明においては、95dBの周波数成分を周波数動に生じて、15dBの位置から本来の位置へ戻すように、95dBの周波数成分を考慮したもので、複合同期信号のHの0.05Hの期間、即ち、0.95 - 1.05Hの期間内に、複合同期信号のHの0.05Hの位置から本水平同期信号成分(1)の立下りエッジレベルを位置付近に存在する複合同期信号の立下りエッジレベルと複合同期信号(1)の本来のHレベルの位置付近に存在する複合同期信号の立下りエッジレベルを抽出し、0.95 - 1.05Hの期間から外れた(以下「判別期間内」という)位置に存在する複合同期信号の立下りエッジレベル(N)を、ノイズと判断して除去するたてである。AND回路22は、立下りエッジレベル供給線4から入る立下りエッジレベルと、R57の「ナツ」フリップフロップ21にセット信号が入力する0.95Hから1.05Hまでの期間内、即ち、判別期間内に立下りエッジレベル供給線4から入力する水平同期信号成分(1)の立下りエッジレベルとだけを分離して出力する。

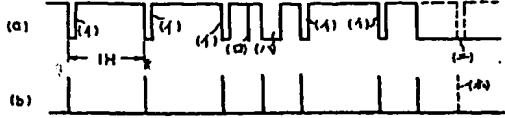
[illegible]

[illegible]

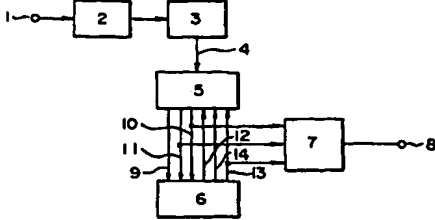
尚、非正常モードにおいて、縦断に限らずに全ての立下りエッジに基づいて水平同期信号
を発生させるのは、同相していない状態では、どの信号が正しく、どの信号がノイズなの
かを正確に判断できない上、本来の水平同期信号成分を除去するよりは、ノイズが重複さ
れている方がよいからである。本発明の水平同期信号処理回路とが同期する正常モードでは、
このように、複合同期信号の立下りエッジパルスで水平同期信号を発生させない上、ノイズ
同期信号以外の、複合同期信号の立下りエッジパルスで水平同期信号成分があっても、最初の水平同
期信号は1.05H同期で、2つ目以降の水平同期信号は1H同期で補償することができる。
(発明の効果)
以上説明したように、本発明によれば、複合同期信号からデジタル処理で水平同期信号の
検出を行うことができるため、誤動作がなく、しかも、欠損信号成分に対する水平同期信
号の補償ノイズ除去ができるという効果がある。
更に、デジタル回路で構成できるので、コンデンサが不要となって、半導体集積化に好適
であるという効果がある。

図面

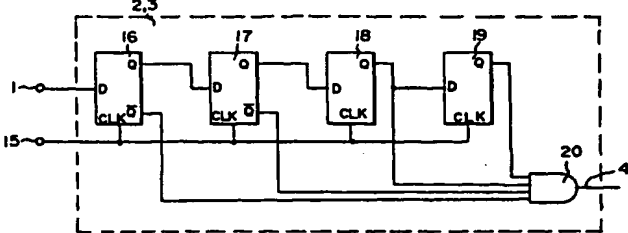
【第3図】



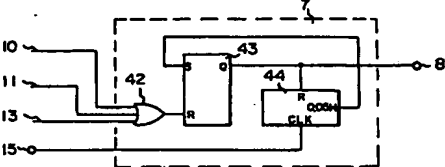
【第1図】



【第2図】



【第6図】


<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

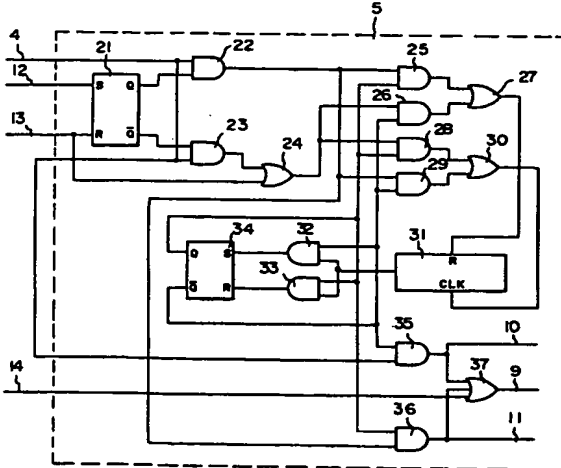
01/02/24

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

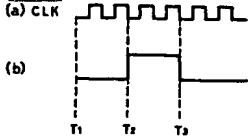
01/02/24

2/3 ページ

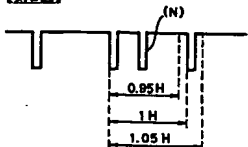
【第4図】



【第7図】



【第8図】



【第5図】

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

01/02/24